

Ψηφιακή Σχεδίαση

ΤΕΤΑΡΤΗ ΕΚΔΟΣΗ

M. Morris Mano

Ομότιμος Καθηγητής Μηχανικής Υπολογιστών
Πανεπιστήμιο της Πολιτείας της Καλιφόρνια, Λος Άντζελες

Michael D. Ciletti

Τμήμα Σχεδίασης Ηλεκτρικών και Υπολογιστικών Συστημάτων
Πανεπιστήμιο του Κολοράντο, Κολοράντο Σπρινγκς

ΜΕΤΑΦΡΑΣΗ

ΕΛΠΙΔΑ ΚΟΥΤΣΟΚΕΡΑ

Μηχανικός Λογισμικού

ΕΠΙΣΤΗΜΟΝΙΚΗ ΕΠΙΜΕΛΕΙΑ

Δρ. ΚΩΣΤΑΣ ΠΑΠΑΟΔΥΣΣΕΥΣ

Αν. Καθηγητής, Σχολή Η.Μ.Μ.Υ. Ε.Μ.Π.

Δρ. ΗΛΙΑΣ ΚΟΥΚΟΥΤΣΗΣ

Επ. Καθηγητής, Σχολή Η.Μ.Μ.Υ. Ε.Μ.Π.

Δρ. ΜΙΧΑΛΗΣ ΠΑΝΑΓΟΠΟΥΛΟΣ

Σχολή Η.Μ.Μ.Υ. Ε.Μ.Π.

Δρ. ΠΑΝΑΓΙΩΤΗΣ ΡΟΥΣΟΠΟΥΛΟΣ

Σχολή Η.Μ.Μ.Υ. Ε.Μ.Π.

 **Παπασωτηρίου**
Ε Κ Δ Ο Σ Ε Ι Σ

ΑΘΗΝΑ 2010

Περιεχόμενα

Πρόλογος		ix
1 Ψηφιακά συστήματα και δυαδικοί αριθμοί		1
1.1 Ψηφιακά συστήματα		1
1.2 Δυαδικοί αριθμοί		3
1.3 Μετατροπές αριθμών σε συστήματα με άλλη βάση		5
1.4 Οκταδικοί και δεκαεξαδικοί αριθμοί		8
1.5 Συμπληρώματα		9
1.6 Προσημασμένοι δυαδικοί αριθμοί		14
1.7 Δυαδικοί κώδικες		17
1.8 Δυαδική αποθήκευση και καταχωρητές		25
1.9 Δυαδική λογική		28
2 Άλγεβρα Boole και λογικές πύλες		36
2.1 Εισαγωγή		36
2.2 Βασικοί ορισμοί		36
2.3 Αξιωματικός ορισμός της άλγεβρας boole		38
2.4 Βασικά θεωρήματα και ιδιότητες της άλγεβρας boole		41
2.5 Συναρτήσεις boole		44
2.6 Κανονικές και πρότυπες μορφές		49
2.7 Άλλες λογικές πράξεις		56
2.8 Ψηφιακές λογικές πύλες		59
2.9 Ολοκληρωμένα κυκλώματα		63
3 Ελαχιστοποίηση σε επίπεδο πυλών		70
3.1 Εισαγωγή		70
3.2 Η μέθοδος του χάρτη		70
3.3 Χάρτης τεσσάρων μεταβλητών		76
3.4 Χάρτης πέντε μεταβλητών		81
3.5 Απλοποίηση γινομένου αθροισμάτων		83
3.6 Συνθήκες αδιαφόρου τιμής (Η συνθήκες αδιαφορίας)		86

3.7	Υλοποίηση με πύλες NAND και NOR	89
3.8	Άλλες υλοποιήσεις δύο επιπέδων	96
3.9	Συνάρτηση Αποκλειστικού-OR	101
3.10	Γλώσσα περιγραφής υλικού	106
4	Συνδυαστική λογική	122
4.1	Εισαγωγή	122
4.2	Συνδυαστικά κυκλώματα	122
4.3	Διαδικασία ανάλυσης	123
4.4	Διαδικασία σχεδίασης	126
4.5	Δυαδικός αθροιστής-αφαιρέτης	130
4.6	Δεκαδικός αθροιστής	140
4.7	Δυαδικός πολλαπλασιαστής	144
4.8	Συγκριτής μεγέθους	144
4.9	Αποκωδικοποιητές	147
4.10	Κωδικοποιητές	150
4.11	Πολυπλέκτες	154
4.12	Μοντέλα HDL συνδυαστικών κυκλωμάτων	159
5	Σύγχρονη ακολουθιακή λογική	182
5.1	Εισαγωγή	182
5.2	Ακολουθιακά κυκλώματα	182
5.3	Στοιχεία μνήμης: μανδαλωτές	184
5.4	Στοιχεία μνήμης: φλιπ-φλοπ	188
5.5	Ανάλυση ακολουθιακών κυκλωμάτων με ρολόι	195
5.6	Συνθέσιμα μοντέλα HDL ακολουθιακών κυκλωμάτων	207
5.7	Ελαχιστοποίηση και κωδικοποίηση καταστάσεων	221
5.8	Διαδικασία σχεδίασης	225
6	Καταχωρητές και Μετρητές	242
6.1	Καταχωρητές	242
6.2	Καταχωρητές ολίσθησης	244
6.3	Μετρητές ριπής	253
6.4	Σύγχρονοι μετρητές	258
6.5	Άλλοι μετρητές	265
6.6	Χρήση HDL για την περιγραφή καταχωρητών και μετρητών	269
7	Μνήμη και προγραμματίσιμη λογική	284
7.1	Εισαγωγή	284
7.2	Μνήμη τυχαίας προσπέλασης (Random Access Memory)	285
7.3	Αποκωδικοποίηση μνήμης	291

7.4	Ανίχνευση και διόρθωση λαθών	296
7.5	Μνήμη ανάγνωσης-μόνο	299
7.6	PLA – Programmable Logic Array	305
7.7	PAL – Programmable Array Logic	309
7.8	Ακολουθιακές PLD	311
8	Σχεδίαση στο επίπεδο μεταφοράς περιεχομένων καταχωρητών	334
8.1	Εισαγωγή	334
8.2	Ορολογία σχετική με τη σχεδίαση στο επίπεδο μεταφοράς περιεχομένων καταχωρητών (Register Transfer Level ή RTL)	334
8.3	Επίπεδο μεταφοράς περιεχομένων καταχωρητών στην HDL	336
8.4	Αλγοριθμικές μηχανές καταστάσεων (ASM)	345
8.5	Παράδειγμα σχεδίασης	352
8.6	Περιγραφή του κυκλώματος του παραδείγματος σχεδίασης με χρήση HDL	360
8.7	Ακολουθιακός δυαδικός πολλαπλασιαστής	371
8.8	Λογικό κύκλωμα ελέγχου	376
8.9	Περιγραφή HDL δυαδικού πολλαπλασιαστή	382
8.10	Σχεδιασμός με πολυπλέκτες	390
8.11	Σχεδιασμός χωρίς κυνηγητά	400
8.12	Σχεδιασμός χωρίς μανδαλωτές	403
8.13	Άλλα χαρακτηριστικά της γλώσσας Verilog	404
9	Ασύγχρονη Ακολουθιακή Λογική	415
9.1	Εισαγωγή	415
9.2	Διαδικασία ανάλυσης	417
9.3	Κυκλώματα με μανδαλωτές	425
9.4	Διαδικασία σχεδιασμού	433
9.5	Ελαχιστοποίηση των πινάκων κατάστασης και ροής	439
9.6	Κωδικοποίηση καταστάσεων για αποφυγή κυνηγητών	446
9.7	Σπινθήρες	452
9.8	Σχεδιαστικό παράδειγμα	457
10	Ψηφιακά ολοκληρωμένα κυκλώματα	471
10.1	Εισαγωγή	471
10.2	Ειδικά χαρακτηριστικά	473
10.3	Χαρακτηριστικά διπολικών τρανζίστορ	477
10.4	Οικογένειες ψηφιακής λογικής RTL και DTL	481
10.5	Οικογένεια ψηφιακής λογικής TTL (λογικής τρανζίστορ–τρανζίστορ)	484
10.6	Οικογένεια ψηφιακής λογικής ECL (λογικής σύζευξης εκπομπού)	493
10.7	Οικογένεια ψηφιακής λογικής MOS (μετάλλου-οξειδίου-ημιαγωγού)	495

10.8	Οικογένεια ψηφιακής λογικής CMOS (συμπληρωματικών MOS)	498
10.9	Πύλες μετάδοσης CMOS	501
10.10	Μοντελοποίηση σε επίπεδο διακοπών με χρήση HDL	505
11	Εργαστηριακά πειράματα	511
11.1	Εισαγωγή στα πειράματα	511
11.2	Δυαδικοί και δεκαδικοί αριθμοί	516
11.3	Ψηφιακές λογικές πύλες	519
11.4	Απλοποίηση λογικών συναρτήσεων	520
11.5	Συνδυαστικά κυκλώματα	522
11.6	Μετατροπείς κώδικα	524
11.7	Σχεδιασμός με πολυπλέκτες	526
11.8	Αθροιστές και Αφαιρέτες	527
11.9	Φλιπ-φλοπ	530
11.10	Ακολουθιακά κυκλώματα	532
11.11	Μετρητές	534
11.12	Καταχωρητές ολίσθησης	535
11.13	Σειραϊκή πρόσθεση	538
11.14	Μονάδα μνήμης	539
11.15	Ηλεκτρονικό παιχνίδι	541
11.16	Παλμογεννήτρια ρολογιού	545
11.17	Παράλληλος αθροιστής	547
11.18	Δυαδικός πολλαπλασιαστής	549
11.19	Ασύγχρονα ακολουθιακά κυκλώματα	553
11.20	Πειράματα προσομοίωσης στη Verilog HDL και ταχεία τυποποίηση με FPGA	553
12	Πρότυπα σχηματικά σύμβολα	559
12.1	Ορθογώνια Παραλληλόγραμμα Σύμβολα	559
12.2	Χαρακτηριστικά σύμβολα	562
12.3	Σημειογραφία εξάρτησης	564
12.4	Σύμβολα για συνδυαστικά στοιχεία	566
12.5	Σύμβολα για φλιπ-φλοπ	568
12.6	Σύμβολα για καταχωρητές	570
12.7	Σύμβολα για μετρητές	573
12.8	Σύμβολα για RAM	575
	Απαντήσεις σε Επιλεγμένα Προβλήματα	577
	Ευρετήριο	597

Πρόλογος

Τα ψηφιακά ηλεκτρονικά κυκλώματα αποτελούν τον λειτουργικό πυρήνα κινητών τηλεφώνων, συσκευών αναπαραγωγής MPEG, ψηφιακών φωτογραφικών μηχανών, υπολογιστών, διακομιστών δεδομένων (data servers), προσωπικών ψηφιακών συσκευών, συστημάτων πλοήγησης με δορυφορική βοήθεια (GPS navigation systems), καθώς άλλων από ένα ιδιαίτερα μεγάλο αριθμό εμπορικών προϊόντων που χρησιμοποιούν και επεξεργάζονται πληροφορίες σε ψηφιακή μορφή. Το παρόν βιβλίο παρουσιάζει τη βασική γνώση για τα ψηφιακά κυκλώματα και τις θεμελιώδεις έννοιες και διαδικασίες που είναι αναγκαίες για το σχεδιασμό των κυκλωμάτων αυτών. Μπορεί να χρησιμοποιηθεί ως σύγγραμμα για ένα εισαγωγικό μάθημα που χρειάζονται οι φοιτητές, οι οποίοι σκοπεύουν να γίνουν ηλεκτρολόγοι μηχανικοί ή επιστήμονες και μηχανικοί υπολογιστών.

Σχεδόν κάθε προχωρημένη πρακτική της βιομηχανίας στηρίζεται πάνω σε γνώση που περιλαμβάνεται στο γνωστικό πεδίο των επιστημόνων μηχανικών. Από τα μέσα της δεκαετίας του 1980, η χρήση εργαλείων σχεδιασμού που βασίζονται στους υπολογιστές έχει μεταμορφώσει την βιομηχανία ηλεκτρονικών σε όλο τον κόσμο. Τα εξειδικευμένα ολοκληρωμένα κυκλώματα για συγκεκριμένες εφαρμογές (ASIC) σχεδιάζονται σήμερα με την χρήση γλωσσών περιγραφής υλικού (HDL), όπως είναι η Verilog και η VHDL. Με μια HDL περιγράφεται, συνήθως, ένα μοντέλο συμπεριφοράς του κυκλώματος προς σχεδιασμό και υλοποίηση, δηλαδή μια τυπική (formal) περιγραφή των επιθυμητών λειτουργιών του κυκλώματος. Στη συνέχεια, ειδικά εργαλεία σύνθεσης (προγράμματα υπολογιστή που συνθέτουν την ηλεκτρονική δομή του επιθυμητού κυκλώματος από την λειτουργική περιγραφή του) χρησιμοποιούνται για την υλοποίηση αυτής της περιγραφής με χρήση συγκεκριμένων τεχνολογικών δυνατοτήτων, π.χ., με χρήση ολοκληρωμένων κυκλωμάτων τύπου CMOS ή έτοιμων διατάξεων πυλών που προγραμματίζονται από τον χρήστη (FPGA). Η χρήση εργαλείων σχεδίασης είναι πλέον συνηθισμένη στη βιομηχανία. Ακόμη και στην πανεπιστημιακή εκπαίδευση, όμως, τα εργαλεία αυτά έχουν αρχίσει να περνάνε από τη μεταπτυχιακή διδασκαλία και έρευνα στην προπτυχιακή διδασκαλία. Είναι πλέον φανερό ότι οι γλώσσες περιγραφής υλικού παίζουν ουσιαστικό και σημαντικό ρόλο στην εκπαίδευση των μελλοντικών μηχανικών. Η εκπαίδευση στην σχεδίαση με HDL είναι σήμερα τόσο σημαντική, όσο ήταν σε προηγούμενες γενιές μηχανικών η εκμάθηση της χρήσης των παλμογράφων, των δοκιμαστικών βάσεων ηλεκτρονικών κυκλωμάτων (breadboards) και των λογικών αναλυτών. Για τον λόγο αυτό, στην παρούσα έκδοση του βιβλίου δίνεται ακόμη μεγαλύτερη έμφαση στη χρήση γλωσσών περιγραφής υλικού για τον σχεδιασμό ψηφιακών κυκλωμάτων.

Σημειώνουμε ότι, με την εισαγωγή μιας γλώσσας HDL σε ένα εισαγωγικό μάθημα σχεδίασης ψηφιακών κυκλωμάτων, δεν έχουμε σκοπό ούτε να αντικαταστήσουμε την κατανόηση των θεμελιωδών αρχών λειτουργίας των ψηφιακών κυκλωμάτων και των βασικών μεθοδολογιών σχεδίασης με την απλή χρήση αυτοματοποιημένων μεθόδων σχεδίασης, ούτε να καταργήσουμε την μελέτη των μεθόδων σχεδίασης που δεν βασίζονται σε υπολογιστικά εργαλεία. Πιστεύουμε ότι εξακολουθεί να είναι ιδιαίτερα σημαντική η ουσιαστική κατανόηση από τους φοιτητές της λειτουργίας των ψηφιακών κυκλωμάτων. Έτσι, στο παρόν βιβλίο, διατηρούμε την αναλυτική παρουσίαση και εξέταση των συνδυαστικών και ακολουθιακών λογικών συσκευών. Οι μέθοδοι σχεδίασης χωρίς τη βοήθεια υπολογιστή παρουσιάζονται κανονικά και τα αποτελέσματά τους συγκρίνονται με αυτά που παίρνουμε αν χρησιμοποιήσουμε HDL. Ωστόσο, έχουμε δώσει μεγαλύτερη έμφαση στο *πως σχεδιάζεται το υλικό (hardware)*, γιατί πιστεύουμε ότι με τον τρόπο αυτό προετοιμάζεται καλύτερα ο σπουδαστής για μια

πιθανή σταδιοδρομία στην σχετική βιομηχανία, δεδομένου ότι εκεί, πλέον, έχει πλήρως επικρατήσει η πρακτική σχεδιασμού ψηφιακών συστημάτων με την χρήση HDL.

ΕΥΕΛΙΞΙΑ

Η θεματική ύλη που πραγματεύεται το ανά χειράς βιβλίο είναι κατάλληλη για μαθήματα που παρουσιάζουν την κλασική, χωρίς την βοήθεια υπολογιστή, μεθοδολογία ψηφιακής σχεδίασης, μαθημάτων που παρουσιάζουν τη μεθοδολογία σχεδίασης με χρήση HDL και μαθημάτων που συνδυάζουν τις δύο προηγούμενες προσεγγίσεις. Δεδομένου ότι τα σύγχρονα εργαλεία σύνθεσης εκτελούν λογική ελαχιστοποίηση με τρόπο αυτόματο, τα θεωρητικά θέματα που είναι σχετικά με τη λογική ελαχιστοποίηση και τους χάρτες Καρνό μπορούν να παρουσιαστούν είτε στην αρχή της μελέτης των ψηφιακών κυκλωμάτων, είτε μετά από την παρουσίαση του τρόπου ανάλυσης, σχεδιασμού και προσομοίωσης των ψηφιακών κυκλωμάτων και των σχετικών εφαρμογών με την χρήση HDL. Το βιβλίο περιλαμβάνει κατάλληλα παραδείγματα τόσο της κλασικής, χωρίς την βοήθεια υπολογιστή, σχεδίασης όσο και της σχεδίασης με τη χρήση HDL. Οι ενότητες προβλημάτων που δίνονται στο τέλος κάθε κεφαλαίου συμβάλουν ακόμα περισσότερο στην ευελιξία του τρόπου διδασκαλίας, δεδομένου ότι περιέχουν αλληλοαναφερόμενα προβλήματα που αφορούν στη σχεδίαση των ίδιων κυκλωμάτων και με τις δύο προαναφερθείσες μεθοδολογίες. Επί πλέον δε, διασυνδέουμε τις δύο προσεγγίσεις στην παρουσίαση παραδειγμάτων σχολιασμένων αποτελεσμάτων προσομοιώσεων, τα οποία δίνονται ως απαντήσεις σε επιλεγμένα προβλήματα που παραθέτουμε στο τέλος του βιβλίου και στο εγχειρίδιο λύσεων των προβλημάτων.

ΝΕΑ ΤΜΗΜΑΤΑ ΥΛΗΣ

Στην προηγούμενη ήδη έκδοση του βιβλίου είχε τονιστεί η σημασία των γλωσσών περιγραφής υλικού στο σχεδιασμό ψηφιακών κυκλωμάτων και είχε συμπεριληφθεί νέα σχετική ύλη και παραδείγματα στη γλώσσα Verilog, όπως αυτή ορίζεται στο πρότυπο IEEE 1364-1995. Στην παρούσα έκδοση έχει γίνει ενημέρωση και επέκταση της σχετικής ύλης ως εξής:

- Έχει γίνει αναθεώρηση των παραδειγμάτων HDL, ώστε να ακολουθούνται οι συντακτικοί κανόνες τύπου ANSI-C που υιοθετήθηκαν στα πρότυπα IEEE 1364-2001 και IEEE 1364-2005.
- Έχει εξασφαλιστεί ότι σε όλα τα παραδείγματα HDL ακολουθείται η βιομηχανική πρακτική που αφορά στη μοντελοποίηση ψηφιακών κυκλωμάτων.
- Δίνεται μια συστηματική μεθοδολογία σχεδίασης ελεγκτών διαδρόμων δεδομένων.
- Δίνονται επιλεγμένες ασκήσεις και λύσεις σε επιλεγμένα προβλήματα στο τέλος κάθε κεφαλαίου σε Verilog 1995 και Verilog 2001/2005.
- Παρουσιάζεται μια σημαντική μεθοδολογία σχεδιασμού, το Διάγραμμα Αλγοριθμικής Μηχανής Καταστάσεων και Διαδρόμου Δεδομένων (διαγράμματος ASMD).
- Έχουν αναθεωρηθεί τα προβλήματα που δίνονται στο τέλος κάθε κεφαλαίου και έχουν προστεθεί περισσότερα από 75 νέα προβλήματα.
- Δίνονται στους σπουδαστές πλήρεις απαντήσεις σε επιλεγμένα προβλήματα, κάποιες από τις οποίες συμπεριλαμβάνουν και αποτελέσματα προσομοίωσης.
- Δίνεται στους σπουδαστές ένα CD-ROM που περιέχει προγράμματα προσομοίωσης σε HDL, ως απαντήσεις σε επιλεγμένα προβλήματα του βιβλίου.
- Έχει επεκταθεί η μελέτη των προγραμματίσιμων λογικών συσκευών (των FPGA συμπεριλαμβανομένων).
- Έχει αναθεωρηθεί η ύλη του εγχειριδίου λύσεων και το υλικό που παρέχεται μέσω του Διαδικτύου, και έχει εξασφαλιστεί ότι οι λύσεις των ασκήσεων HDL συμφωνούν με την βιομηχανική πρακτική που έχει καθιερωθεί για τη μοντελοποίηση κυκλωμάτων με την χρήση HDL.

- Έχει δοθεί έμφαση στη σημασία της ανάπτυξης σχεδίων δοκιμών (test plans) για την επαλήθευση της ορθής μοντελοποίησης κυκλωμάτων με την χρήση HDL.
- Δίνεται στους καθηγητές ελεγμένης ορθότητας, έτοιμος για προσομοίωση, πηγαίος κώδικας HDL (μοντέλων και παραγωγής δοκιμαστικών εισόδων) για την λύση όλων των σχετικών προβλημάτων που δίνονται στο τέλος κάθε κεφαλαίου.
- Έχουν συμπεριληφθεί όλα τα σχήματα, οι πίνακες και τα παραδείγματα HDL του βιβλίου στην ιστοσελίδα του εκδότη σε ψηφιακή μορφή (PDF).
- Έχει συμπεριληφθεί στο βιβλίο ένα CD-ROM με βοηθήματα και προσομοιωτές της γλώσσας Verilog (κατά τα πρότυπα IEEE-1995 και IEEE-2001).

Επί πλέον δε, έχει επεκταθεί η χρήση γραφικού υλικού, ώστε να βοηθηθούν περισσότερο οι σπουδαστές που προτιμούν τις γραφικές απεικονίσεις. Στο νέο υλικό εξηγούνται καθαρά τα παραδείγματα προσομοιώσεων και δίνονται κατάλληλα σχολιασμένα γραφικά αποτελέσματα αυτών, ώστε να μπορέσουν οι σπουδαστές να καταλάβουν καλύτερα τα ψηφιακά κυκλώματα και, γενικότερα, να διευκολυνθεί η διδακτική διδασκαλία. Επίσης, έχει βελτιωθεί η γραφική παρουσίαση των χαρτών Καρνώ.

ΜΕΘΟΔΟΛΟΓΙΑ ΣΧΕΔΙΑΣΗΣ

Σε αυτή την έκδοση του βιβλίου επεκτείνουμε, σε σχέση με την προηγούμενη έκδοση, το κεφάλαιο που ασχολείται με τις σύγχρονες μηχανές πεπερασμένων καταστάσεων (synchronous finite state machines), με την παρουσίαση μιας σύγχρονης μεθοδολογίας σχεδίασης της μηχανής καταστάσεων που ελέγχει τον διάδρομο δεδομένων (datapath) ενός ψηφιακού συστήματος. Επιπλέον δε, στην περιγραφόμενη μεθοδολογία αντιμετωπίζεται η ρεαλιστική περίπτωση, κατά την οποία ο ελεγκτής χρησιμοποιεί σήματα από τον διάδρομο δεδομένων, δηλαδή, η περίπτωση που στο σύστημα χρησιμοποιείται ανάδραση. Η μεθοδολογία αυτή μπορεί να εφαρμοστεί τόσο στη σχεδίαση χωρίς τη βοήθεια υπολογιστή, όσο και στη σχεδίαση με την χρήση HDL.

ΣΧΕΔΙΑΣΗ ΜΕ ΤΗΝ ΧΡΗΣΗ HDL

Στο παρόν βιβλίο παρουσιάζουμε μόνον αυτά τα στοιχεία της γλώσσας Verilog, τα οποία είναι κατάλληλα για το επίπεδο και το σκοπό του βιβλίου. Γενικά, η απλή εξέταση του συντακτικού μιας γλώσσας HDL δεν αρκεί για ένα εισαγωγικό μάθημα στις γλώσσες περιγραφής υλικού. Είναι προφανές ότι η τήρηση των συντακτικών κανόνων της HDL δεν αρκεί για να εξασφαλιστεί ότι τα συνταχθέντα μοντέλα καλύπτουν πράγματι τις θεθείσες λειτουργικές προδιαγραφές και ότι τα περιγραφόμενα κυκλώματα είναι όντως συνθέσιμα από εμπορικά διαθέσιμα εργαλεία σύνθεσης. Για αυτούς τους λόγους, προσπαθούμε να εισάγουμε την μεθοδική χρήση αποδεκτών από τη βιομηχανία πρακτικών για τη σύνταξη μοντέλων, ώστε να εξασφαλιστεί ότι οι συντασσόμενες περιγραφές συμπεριφοράς (behavioral descriptions) είναι όντως υλοποιήσιμες στην πράξη και ότι η συμπεριφορά των αντιστοιχών υλοποιημένων κυκλωμάτων θα αντιστοιχεί ακριβώς στις δεδομένες περιγραφές συμπεριφοράς. Εάν οι φοιτητές δεν ακολουθήσουν τις αποδεκτές αυτές πρακτικές αλλά αυτοσχεδιάσουν, υπάρχει κίνδυνος να αντιμετωπίσουν συνθήκες κυνηγητού (race conditions) στα υπό σύνταξη μοντέλα HDL ψηφιακών μηχανών, συνθήκες κυνηγητού στα δοκιμαστικά προγράμματα που συντάσσουν για την επαλήθευση της ορθότητας των μοντέλων αυτών, καθώς και αναντιστοιχία ανάμεσα στα αποτελέσματα της προσομοίωσης των μοντέλων συμπεριφοράς και στα αποτελέσματα της προσομοίωσης των κυκλωμάτων που προκύπτουν από την διαδικασία σύνθεσης των ίδιων μοντέλων. Μια άλλη πιθανή συνέπεια της μη συμμόρφωσης με τη βιομηχανική πρακτική, είναι το να καταλήξουν οι φοιτητές σε σχεδιάσεις με σωστά μεν αποτελέσματα προσομοίωσης, αλλά με επί πλέον μανδαλωτές, λανθασμένα εισηγμένους στα σχετικά κυκλώματα μέσω του εσφαλμένου στυλ μοντελοποίησης. Η μεθοδολογία που βασίζεται στην βιομηχανική πρακτική, την οποία παρουσιάζουμε, οδηγεί σε σχεδιάσεις χωρίς κυνηγητά και χωρίς επί πλέον μανδαλωτές. Θεωρούμε σημαντικό οι σπουδαστές να μάθουν και να ακολουθούν την μεθοδολογία αυτή, ανεξάρτητα από αν χρησιμοποιούν στο μάθημά τους εργαλεία σύνθεσης.

ΕΠΑΛΗΘΕΥΣΗ ΤΗΣ ΟΡΘΟΤΗΤΑΣ ΣΧΕΔΙΑΣΗΣ

Στη βιομηχανία, σημαντικό μέρος της όλης διαδικασίας σχεδίασης αφορά την επαλήθευση της ορθής λειτουργίας ενός κυκλώματος. Όμως, στα σχετικά, εισαγωγικού χαρακτήρα βιβλία λογικής σχεδίασης δεν δίνεται πάντα η απαιτούμενη έμφαση στην επαλήθευση της ορθής λειτουργίας των ψηφιακών κυκλωμάτων, δεδομένου ότι τα βιβλία αυτά συνήθως εστιάζουν στο σχεδιασμό αυτό καθ' εαυτό, ενώ ο έλεγχος της ορθότητας της λειτουργίας θεωρείται ως δευτερεύουσα εργασία. Σύμφωνα με τη δική μας πείρα, αυτή η προσέγγιση μπορεί εύκολα να οδηγήσει σε πρόωρες και λανθασμένες διαπιστώσεις ορθής λειτουργίας, εκφραζόμενες από τη συνηθισμένη δήλωση ότι «το κύκλωμα λειτουργεί τέλεια». Αντίστοιχα, οι βιομηχανικές επενδύσεις σε μοντέλα HDL αποδίδουν ικανοποιητικά, αν εξασφαλιστεί ότι τα μοντέλα αυτά είναι αναγνώσιμα (κατανοητά και από άλλους), μεταφέρσιμα και επαναχρησιμοποιήσιμα. Για τον λόγο αυτό παρουσιάζουμε, επί πλέον, αποδεκτές πρακτικές δημιουργίας και χρήσης ονομάτων και ορθής χρήσης παραμέτρων. Ακόμη, παραθέτουμε προγράμματα δημιουργίας δοκιμαστικών εισόδων σε όλες τις λύσεις και ασκήσεις, προκειμένου (1) να γίνει επαλήθευση της ορθής λειτουργικότητας των κυκλωμάτων, (2) να δοθεί έμφαση στη σημασία της αναλυτικής και πλήρους δοκιμής των κυκλωμάτων και (3) να εισαχθούν σημαντικές έννοιες, όπως αυτή των αυτοελεγχόμενων προγραμμάτων δημιουργίας δοκιμαστικών εισόδων. Υποστηρίζουμε δε θερμά την ανάγκη χρήσης σχεδίων δοκιμών (test plans) ως οδηγών της ανάπτυξης προγραμμάτων δημιουργίας δοκιμαστικών εισόδων, γι' αυτό και εισάγουμε τις σχετικές έννοιες, δείχνουμε τον τρόπο χρήσης των σχεδίων δοκιμών και ασχολούμαστε περισσότερο με αυτά στο εγχειρίδιο λύσεων και στις απαντήσεις σε επιλεγμένα προβλήματα που είναι στο τέλος του παρόντος βιβλίου.

ΠΕΡΙΕΧΟΜΕΝΟ HDL

Στην παρούσα έκδοση του βιβλίου έχει επικαιροποιηθεί και επεκταθεί το τμήμα που αφορά στη γλώσσα περιγραφής υλικού Verilog. Επιπλέον δε, εκμεταλλευόμαστε σημαντικές βελτιώσεις της Verilog που έχουν περιληφθεί στα πρότυπα IEEE 1364-2001 και IEEE 1364-2005. Όπως ήδη αναφέρθηκε, εξ άλλου, έχουμε φροντίσει όλα τα παραδείγματα του βιβλίου, καθώς και οι απαντήσεις που περιέχονται στο εγχειρίδιο λύσεων, να συμφωνούν με την καθιερωμένη βιομηχανική πρακτική για την μοντελοποίηση ψηφιακού υλικού (hardware). Όπως και στην προηγούμενη έκδοση, τα τμήματα της ύλης που αφορούν την HDL, αφ' ενός παρατίθενται σε ξεχωριστές ενότητες, ώστε να είναι δυνατόν είτε να διδαχθούν, είτε να παραλειφθούν, αφ' ετέρου δε ούτε επηρεάζουν την πληρότητα της κάλυψης του σχεδιασμού ψηφιακών συστημάτων χωρίς τη βοήθεια υπολογιστή, ούτε επιβάλλουν κάποια ειδική σειρά παρουσίασης της ύλης. Η κάλυψη της ύλης έχει γίνει σε ένα επίπεδο κατάλληλο για αρχάριους σπουδαστές, οι οποίοι διδάσκονται ψηφιακά κυκλώματα και μία γλώσσα περιγραφής υλικού ταυτόχρονα. Το περιεχόμενο του βιβλίου προετοιμάζει τους σπουδαστές κατάλληλα, τόσο για να μπορέσουν να εργαστούν σε πιο εκτεταμένες, ανεξάρτητες σχεδιαστικές μελέτες, όσο και για να μπορέσουν να συνεχίσουν τις σπουδές τους με επιτυχία παίρνοντας μαθήματα αρχιτεκτονικής υπολογιστών.

- Τα ψηφιακά κυκλώματα περιγράφονται στα Κεφάλαια 1 έως 3. Μία πρώτη εισαγωγή στη Verilog HDL γίνεται στην Ενότητα 3.10.
- Περαιτέρω ύλη για τη μοντελοποίηση με HDL υπάρχει στην Ενότητα 4.12, μετά από τη εξέταση των συνδυαστικών κυκλωμάτων.
- Τα ακολουθιακά κυκλώματα καλύπτονται στα Κεφάλαια 5 και 6, με αντίστοιχα παραδείγματα HDL στις Ενότητες 5.6 και 6.6.
- Η περιγραφή σε HDL των κυκλωμάτων μνήμης παρουσιάζεται στην Ενότητα 7.2.
- Τα σύμβολα RTL που χρησιμοποιούνται στη Verilog περιγράφονται στην Ενότητα 8.3.
- Παραδείγματα μοντέλων RTL και δομικών μοντέλων σε Verilog δίνονται στις Ενότητες 8.6 και 8.9. Επίσης, στο Κεφάλαιο 8 παρουσιάζεται μία νέα, αναλυτική μελέτη του σχεδιασμού ενός ελεγκτή ενός διαδρόμου δεδομένων με χρήση HDL.

- Η Ενότητα 10.10 καλύπτει τη μοντελοποίηση σε επίπεδο διακοπών, η οποία αντιστοιχεί στα κυκλώματα CMOS.
- Στην Ενότητα 11.20, τα πειράματα που αφορούν πραγματικά ψηφιακά κυκλώματα συμπληρώνονται με πειράματα HDL. Έτσι, τα κυκλώματα που σχεδιάζονται στο εργαστήριο μπορούν να ελεγχθούν μέσω της μοντελοποίησης τους με Verilog και της προσομοίωσης της συμπεριφοράς τους. Στη συνέχεια δε, τα κυκλώματα αυτά μπορούν να συντεθούν και να υλοποιηθούν με FPGA σε μία πλακέτα κατασκευής δοκιμαστικών πρωτοτύπων.

ΠΡΟΣΟΜΟΙΩΤΕΣ HDL

Το CD-ROM που υπάρχει στο τέλος του βιβλίου περιέχει αρχεία με τον πηγαίο κώδικα Verilog HDL που αντιστοιχεί στα παραδείγματα του βιβλίου, καθώς και δύο προσομοιωτές της SynartiCAD. Ο πρώτος προσομοιωτής είναι ο VeriLogger Pro, ένας κλασικός προσομοιωτής Verilog που μπορεί να χρησιμοποιηθεί για την προσομοίωση των παραδειγμάτων HDL του βιβλίου και για την επαλήθευση της ορθότητας των λύσεων των προβλημάτων HDL. Αυτός ο προσομοιωτής δέχεται τους κανόνες σύνταξης του προτύπου IEEE-1995, επομένως είναι χρήσιμος σε όσους χρησιμοποιούν παλαιότερα μοντέλα. Ο προσομοιωτής Verilogger Extreme δέχεται τους κανόνες σύνταξης τόσο του προτύπου IEEE-2001, όσο και του IEEE-1995, είναι δε αλληλεπιδραστικός, ώστε να επιτρέπει στο σχεδιαστή να δοκιμάζει και αναλύει ιδέες πριν από την ολοκλήρωση του μοντέλου προσομοίωσης ή του σχηματικού διαγράμματος του κυκλώματος. Αυτή η δυνατότητα είναι ιδιαίτερα χρήσιμη στους σπουδαστές, επειδή μπορούν να προσομοιώνουν γρήγορα λογικές εξισώσεις ή εξισώσεις εισόδων D φλιπ-φλοπ και μανδαλωτών, ώστε να ελέγχουν την λογικές ισοδυναμίες και να πειραματίζονται με κυκλώματα που περιέχουν φλιπ-φλοπ και μανδαλωτές.

ΥΛΙΚΟ ΓΙΑ ΤΟΥΣ ΚΑΘΗΓΗΤΕΣ

Οι καθηγητές μπορούν να βρουν στην ιστοσελίδα του εκδότη (www.prenhall.com/mano) και να κατεβάσουν από εκεί το ακόλουθο υλικό, το οποίο είναι έτοιμο για χρήση στη διδασκαλία:

- Πηγαίο κώδικα και προγράμματα παραγωγής δοκιμαστικών εισόδων για όλα τα παραδείγματα Verilog του βιβλίου.
- Όλα τα σχήματα και τους πίνακες του βιβλίου.
- Πηγαίο κώδικα για όλα τα μοντέλα HDL του εγχειριδίου λύσεων.

Επίσης, ένα εγχειρίδιο λύσεων σε έντυπη μορφή με γραφικά, κατάλληλο για χρήση στη διδασκαλία, είναι διαθέσιμο στους καθηγητές.

ΠΕΡΙΛΗΨΗ ΤΩΝ ΠΕΡΙΕΧΟΜΕΝΩΝ ΤΟΥ ΒΙΒΛΙΟΥ

Στα επόμενα δίνεται μία σύντομη περιληψη των θεμάτων που καλύπτονται σε κάθε κεφάλαιο.

Στο **Κεφάλαιο 1** παρουσιάζονται τα διάφορα δυαδικά συστήματα που είναι κατάλληλα για την παράσταση πληροφοριών στα ψηφιακά συστήματα. Εξηγείται αναλυτικά το δυαδικό σύστημα αρίθμησης και επεξηγούνται οι δυαδικοί κώδικες. Δίνονται παραδείγματα πρόσθεσης και αφαίρεσης προσημασμένων δυαδικών αριθμών και δεκαδικών αριθμών σε μορφή BCD.

Στο **Κεφάλαιο 2** εισάγονται τα βασικά αξιώματα της Άλγεβρας Boole και καταδεικνύεται η σχέση μεταξύ των εκφράσεων Boole και των αντίστοιχων λογικών διαγραμμάτων. Εξετάζονται όλες οι πιθανές λογικές πράξεις δύο μεταβλητών και ορίζονται οι πιο χρήσιμες από τις λογικές πύλες που χρησιμοποιούνται στη σχεδίαση ψηφιακών συστημάτων. Σ' αυτό το κεφάλαιο, ακόμη, αναφέρονται αρχικά τα χαρακτηριστικά των πραγματικών πυλών των εμπορικών ολοκληρωμένων κυκλωμάτων, ενώ μία πιο ενδελεχής ανάλυση των ηλεκτρονικών κυκλωμάτων των πυλών γίνεται στο Κεφάλαιο 10.

Στο **Κεφάλαιο 3** καλύπτεται η μέθοδος του χάρτη, η οποία χρησιμοποιείται για την απλοποίηση εκφράσεων Boole. Η μέθοδος του χάρτη χρησιμοποιείται, επίσης, για την απλοποίηση ψηφιακών κυκλωμάτων που κατασκευάζονται με πύλες AND-OR, NAND ή NOR. Εξετάζονται, ακόμη, όλα τα άλλα δυνατά κυκλώματα πυλών δύο επιπέδων και εξηγείται η μέθοδος υλοποίησής τους. Τέλος δε, στο κεφάλαιο αυτό δίνονται απλά παραδείγματα μοντελοποίησης σε επίπεδο πυλών με τη χρήση της Verilog.

Στο **Κεφάλαιο 4** περιγράφονται οι τυπικές (formal) διαδικασίες ανάλυσης και σχεδίασης συνδυαστικών κυκλωμάτων. Δίνονται παραδείγματα σχεδίασης κυκλωμάτων που αποτελούν βασικούς δομικούς λίθους στη σχεδίαση ψηφιακών συστημάτων, όπως, π.χ., αθροιστών και μετατροπών κωδικών. Σ' αυτό το κεφάλαιο, ακόμη, περιγράφονται συχνά χρησιμοποιούμενα ψηφιακά λογικά συνδυαστικά κυκλώματα, όπως είναι οι παράλληλοι αθροιστές και αφαιρέτες, οι αποκωδικοποιητές, οι κωδικοποιητές και οι πολυπλέκτες και εξετάζεται η χρήση τους στη σχεδίαση συνδυαστικών κυκλωμάτων. Δίνονται δε παραδείγματα χρήσης της HDL στις περιγραφές σε επίπεδο πυλών, σε μοντέλα ροής δεδομένων και σε μοντέλα συμπεριφοράς, ώστε να φανούν οι εναλλακτικοί τρόποι περιγραφής συνδυαστικών κυκλωμάτων με την Verilog. Τέλος, παρατίθεται η διαδικασία σύνταξης ενός απλού προγράμματος παραγωγής διέγερσης (δοκιμαστικών εισόδων) για την δοκιμή ενός μοντέλου HDL.

Στο **Κεφάλαιο 5** περιγράφονται οι τυπικές διαδικασίες για την ανάλυση και σχεδίαση (σύγχρονων) ακολουθιακών κυκλωμάτων με ρολόι. Παρουσιάζεται η δομή των διάφορων φλιπ-φλοπ και καταδεικνύεται η διαφορά μεταξύ πυροδότησης με σήμα συγκεκριμένου επιπέδου (level triggering) και ακμωπυροδότησης (edge triggering). Χρησιμοποιούνται συγκεκριμένα παραδείγματα για να καταδειχθεί ο τρόπος παραγωγής των πινάκων και των διαγραμμάτων καταστάσεων που είναι αναγκαία για την ανάλυση ενός ακολουθιακού κυκλώματος. Δίνονται δε αρκετά παραδείγματα σχεδίασης, με έμφαση στα ακολουθιακά κυκλώματα που κατασκευάζονται με φλιπ-φλοπ τύπου *D*. Επεξηγείται η μοντελοποίηση της συμπεριφοράς των ακολουθιακών κυκλωμάτων με την χρήση Verilog και δίνονται παραδείγματα HDL για να φανεί η χρήση των μοντέλων Mealy και Moore των ακολουθιακών κυκλωμάτων.

Στο **Κεφάλαιο 6** ασχολούμαστε με διάφορα δομικά στοιχεία ακολουθιακών κυκλωμάτων, όπως είναι οι παράλληλοι καταχωρητές, οι καταχωρητές ολίσθησης και οι μετρητές. Τα στοιχειώδη αυτά κυκλώματα είναι τα βασικά δομικά στοιχεία από τα οποία κατασκευάζονται πιο σύνθετα ψηφιακά συστήματα. Στο Κεφάλαιο αυτό, επίσης, δίνονται περιγραφές HDL μετρητών και καταχωρητών ολίσθησης.

Στο **Κεφάλαιο 7** ασχολούμαστε με τις μνήμες τυχαίας προσπέλασης (RAM) και τις προγραμματίσιμες λογικές διατάξεις. Επί πλέον, εξετάζουμε την αποκωδικοποίηση μνήμης και τα συστήματα διόρθωσης σφαλμάτων. Τέλος, παρουσιάζουμε συνδυαστικές και ακολουθιακές προγραμματίσιμες διατάξεις, όπως τις ROM, τα PLA, τα PAL, τα CPLD και τα FPGA.

Στο **Κεφάλαιο 8** ασχολούμαστε με την παράσταση ψηφιακών συστημάτων στο επίπεδο μεταφοράς (περιεχομένων) καταχωρητών (RTL). Εισάγεται η χρήση του διαγράμματος αλγοριθμικών μηχανών καταστάσεων (ASM) και δίνονται σχετικά παραδείγματα, καθώς και παραδείγματα του διαγράμματος ASMD, της παράστασης σε επίπεδο RTL και της περιγραφής HDL στη σχεδίαση ψηφιακών συστημάτων. Παρουσιάζεται αναλυτικά η σχεδίαση μίας μηχανής πεπερασμένων καταστάσεων που ελέγχει έναν διάδρομο δεδομένων και εξετάζεται η ρεαλιστικής περίπτωση, κατά την οποία σήματα κατάστασης του διαδρόμου δεδομένων χρησιμοποιούνται από τη μηχανή καταστάσεων που τον ελέγχει. Αυτό το κεφάλαιο είναι, πιθανόν, το πλέον σημαντικό κεφάλαιο του βιβλίου, καθώς δίνει στο σπουδαστή μία συστηματική προσέγγιση που ακολουθείται σε πιο προχωρημένες σχεδιαστικές εργασίες.

Στο **Κεφάλαιο 9** παρουσιάζονται τυπικές διαδικασίες για την ανάλυση και σχεδίαση ασύγχρονων ακολουθιακών κυκλωμάτων και περιγράφονται μέθοδοι υλοποίησης ενός ασύγχρονου ακολουθιακού κυκλώματος ως συνδυαστικού κυκλώματος με ανάδραση. Περιγράφεται, επίσης, μία εναλλακτική υλοποίηση ακολουθιακού κυκλώματος, στην οποία χρησιμοποιούνται *SR* μανδαλωτές ως στοιχεία μνήμης ασύγχρονων ακολουθιακών κυκλωμάτων.

Στο **Κεφάλαιο 10** παρουσιάζονται οι πιο διαδεδομένες οικογένειες ψηφιακών ολοκληρωμένων κυκλωμάτων και αναλύονται τα ηλεκτρονικά κυκλώματα των βασικών πυλών κάθε οικογένειας με

χρήση της θεωρίας ηλεκτρονικών κυκλωμάτων. Στοιχειώδης γνώση ηλεκτρονικής είναι αναγκαία για την πλήρη κατανόηση της ύλης αυτού του κεφαλαίου. Επίσης, στο κεφάλαιο αυτό δίνονται παραδείγματα μοντέλων Verilog σε επίπεδο διακοπών, ώστε για να φανεί η δυνατότητα προσομοίωσης κυκλωμάτων με τρανζίστορ MOS και κυκλωμάτων CMOS.

Στο **Κεφάλαιο 11** περιγράφονται πειράματα που μπορούν να εκτελεστούν στο εργαστήριο με εμπορικά διαθέσιμα ολοκληρωμένα κυκλώματα (ΟΚ). Εξηγείται δε η λειτουργία των ΟΚ που χρησιμοποιούνται στα πειράματα, με αναφορές στα λογικά διαγράμματα κυκλωμάτων παρεμφερούς λειτουργίας που εξετάστηκαν σε προηγούμενα κεφάλαια. Κάθε πείραμα παρουσιάζεται με απλοποιημένο και όχι τυπικό τρόπο και ζητείται από τους σπουδαστές να κατασκευάσουν το κυκλωματικό διάγραμμα του ζητούμενου κυκλώματος και να βρουν τρόπο ελέγχου της λειτουργίας του κυκλώματος αυτού στο εργαστήριο. Τα περιγραφόμενα στο παρόν Κεφάλαιο πειράματα, συμπληρώνονται στην τελευταία ενότητα με αντίστοιχα πειράματα HDL. Εκτός από την κατασκευή των φυσικών κυκλωμάτων, οι σπουδαστές μπορούν να χρησιμοποιήσουν το λογισμικό της Verilog που δίνεται στο CD-ROM για να προσομοιώσουν τα κυκλώματά τους και να επαληθεύσουν την ορθότητα της σχεδίασής τους.

Στο **Κεφάλαιο 12** παρουσιάζονται τα πρότυπα σχηματικά σύμβολα για λογικές συναρτήσεις που προτείνονται από το πρότυπο ANSI/IEEE. Αυτά τα σχηματικά σύμβολα έχουν αναπτυχθεί για κυκλώματα SSI και MSI, με σκοπό να μπορεί ο χρήστης να αναγνωρίζει τη λειτουργία κάθε κυκλώματος από το μοναδικό σχηματικό σύμβολο που χρησιμοποιείται για την παράστασή του κυκλώματος. Στο Κεφάλαιο αυτό παρουσιάζονται τα πρότυπα σχηματικά σύμβολα των ολοκληρωμένων κυκλωμάτων που χρησιμοποιούνται στα εργαστηριακά πειράματα. Τα ψηφιακά κυκλώματα που χρησιμοποιούνται σε όλο το βιβλίο είναι παρεμφερή με εμπορικά διαθέσιμα ολοκληρωμένα κυκλώματα. Ωστόσο, στο κείμενο δεν αναφέρονται συγκεκριμένα ολοκληρωμένα κυκλώματα, εκτός από τα Κεφάλαια 11 και 12. Εάν εκτελέσουν τα προτεινόμενα πειράματα στο Κεφάλαιο 11 παράλληλα με τη μελέτη της αντίστοιχης θεωρίας, οι φοιτητές θα εμπλουτίσουν τις γνώσεις τους με πρακτική εμπειρία στην ψηφιακή σχεδίαση.

ΕΡΓΑΣΤΗΡΙΑΚΑ ΠΕΙΡΑΜΑΤΑ

Το παρόν βιβλίο μπορεί να χρησιμοποιηθεί για να υποστηρίξει είτε ένα αμιγώς θεωρητικό μάθημα, είτε ένα μάθημα που συμπεριλαμβάνει εργαστηριακή εξάσκηση, η οποία βασίζεται στα εργαστηριακά πειράματα του Κεφαλαίου 11. Μπορεί ακόμη να χρησιμοποιηθεί για να υποστηρίξει ένα αμιγώς εργαστηριακό μάθημα, το οποίο μπορεί να γίνει είτε με τον παραδοσιακό τρόπο, με τη χρήση δοκιμαστικών βάσεων (breadboards) και κυκλωμάτων TTL, είτε με τη χρήση HDL, εργαλείων σύνθεσης και FPGA. Σήμερα, το λογισμικό για τη σύνθεση μοντέλων HDL και την υλοποίηση των αντίστοιχων κυκλωμάτων με FPGA διατίθεται δωρεάν από τους κατασκευαστές FPGA, γεγονός που επιτρέπει στους σπουδαστές να ολοκληρώσουν μεγάλο μέρος της σχετικής εργασίας στο προσωπικό τους υπολογιστικό περιβάλλον, πριν χρησιμοποιήσουν πλακέτες κατασκευής πρωτοτύπων και άλλες φυσικές συσκευές και διατάξεις στο εργαστήριο. Οι πλακέτες κατασκευής πρωτοτύπων που χρησιμοποιούνται στην ταχεία πραγματοποίηση κυκλωμάτων με FPGA διατίθενται πλέον σε πολύ χαμηλό κόστος και, συνήθως, περιλαμβάνουν διακόπτες, πιεστικούς διακόπτες, ενδείκτες επτά τμημάτων, LCD, πληκτρολόγια και άλλες συσκευές εισόδου-εξόδου πληροφορίας. Με αυτές τις δυνατότητες, οι σπουδαστές μπορούν είτε να εκτελέσουν προκαθορισμένες εργαστηριακές ασκήσεις, είτε να δουλέψουν σε δικά τους θέματα, με σημαντική ταχύτητα και αποτελεσματικότητα.

Η λειτουργία των ολοκληρωμένων κυκλωμάτων που χρησιμοποιούνται στα πειράματα του Κεφαλαίου 11 εξηγούνται με την αναφορά στα λογικά διαγράμματα παρεμφερών κυκλωμάτων που εξετάζονται σε προηγούμενα κεφάλαια του βιβλίου. Κάθε πείραμα παρουσιάζεται με απλοποιημένο και όχι τυπικό τρόπο και ζητείται από τους σπουδαστές να κατασκευάσουν το κυκλωματικό διάγραμμα του ζητούμενου κυκλώματος και να βρουν τρόπο ελέγχου της λειτουργίας του κυκλώματος αυτού στο εργαστήριο. Τα περιγραφόμενα πειράματα συμπληρώνονται στην τελευταία ενότητα του αντίστοι-

χου κεφαλαίου με αντίστοιχα πειράματα HDL. Εκτός από την κατασκευή των φυσικών κυκλωμάτων, οι σπουδαστές μπορεί να χρησιμοποιήσουν το λογισμικό Verilog που δίνεται στο CD-ROM για να προσομοιώσουν τα κυκλώματά τους και να επαληθεύσουν την ορθότητα της σχεδίασής τους. Μπορούν ακόμη να χρησιμοποιήσουν εργαλεία σύνθεσης για να υλοποιήσουν τα κυκλώματά τους με FPGA σε σχετικές πλακέτες κατασκευής πρωτοτύπων.

Ευχαριστούμε την εκδοτική ομάδα της Prentice Hall για την αφοσίωσή τους στην εργασία της έγκαιρης αναθεώρησης του παρόντος βιβλίου. Τέλος, θέλουμε να εκφράσουμε την ευγνωμοσύνη μας προς τις συζύγους μας, Sandra και Jerilyn, για το ότι μας ενθάρρυναν στο παρόν έργο μας.

M. Morris Mano

*Ομότιμος Καθηγητής Μηχανικής Υπολογιστών
Πανεπιστήμιο της Πολιτείας της Καλιφόρνια, Λος Άντζελες*

Michael D. Ciletti

*Τμήμα Σχεδίασης Ηλεκτρικών και Υπολογιστικών Συστημάτων
Πανεπιστήμιο του Κολοράντο στο Κολοράντο Σπρινγκς*